

Spartan3A Starter Kit による DDR2 SDRAM コントローラの実装

小野 雅晃

筑波大学システム情報工学等技術室 (装置開発班)

〒305-8573 茨城県つくば市天王台 1-1-1

Spartan3A Starter Kit に搭載されている FPGA (Field Programmable Gate Array) 上に DDR2 SDRAM (Double Data Rate 2 Synchronous DRAM)のコントローラを実装した。Spartan3A Starter Kit には Xilinx 社の Spartan3A FPGA と Micron Technology 社の DDR2 SDRAM が搭載されている。DDR2 SDRAM のコントローラとは、DDR2 SDRAM を使用するためのインターフェース回路である。DDR2 SDRAM コントローラの動作周波数は 150 MHz で、クロックの立ち上がりエッジと立ち下りエッジでデータがサンプルされる。この方式は一般的に DDR2-300 と呼ばれる。DDR2 SDRAM のデータ幅は 16 ビットであるので、最大データ転送レートは 600 MBytes/sec である。DQS (Data Strobe) 信号を DDR2 SDRAM の Read データの受信クロックとして使用した。これは Source-Synchronous clocking と呼ばれる方式である。

DDR2 SDRAM は現在のパーソナル・コンピュータに搭載されているメイン・メモリとして広く使用されている。DDR は Double Data Rate の略であり、クロックの立ち下りと立ち上がりの両方でデータを読み書きすることができる。例えば、DDR2-800 は 800 の半分の 400 MHz で動作する DDR2 SDRAM チップである。DDR2 SDRAM チップのデータ幅は 4, 8, 16 ビットのものがある。それぞれデータ幅が異なるのは、データ幅と目標とするメモリ容量によって DDR2 SDRAM チップを使い分けるためである。

DDR2 は 4n プリフェッチと呼ばれ、一度にその DDR2 SDRAM チップのデータ幅の 4 倍のデータを読み書きできる構造になっている。そのため、DDR2 SDRAM 本体の DRAM 素子は、DDR2 SDRAM コントローラとのインターフェース速度の 1/4 の速度で動作出来れば良い。DRAM 素子の速度の向上が難しいため、このような手段は DDR3 SDRAM でも使用されている。DDR3 SDRAM は 8n プリフェッチとなって、一度に 8 倍の粒度でデータを読み書きする必要がある。DDR2 SDRAM はデータ転送速度が高速であるため、FPGA で制御することが難しいデバイスであると認識されている。FPGA の理解を深め、FPGA の限界を極める方法を模索するため、DDR2 SDRAM コントローラを作製することにした。

DDR2 SDRAM コントローラは、Xilinx 社のアプリケーションノート XAPP253 を参考にして作製した。XAPP253 を参考にしてはいるが、完全にオリジナルの設計となっている。使用言語は Verilog2001 である。DDR2 SDRAM コントローラの各ブロックを図 1 に示す。DDR2 SDRAM コントローラは、controller, addr_fifo, wrdata_fifo, rddata_afifo, read_write_io, dcm_module, そしてトップモジュールの ddr2_sram_cont で構成されている。

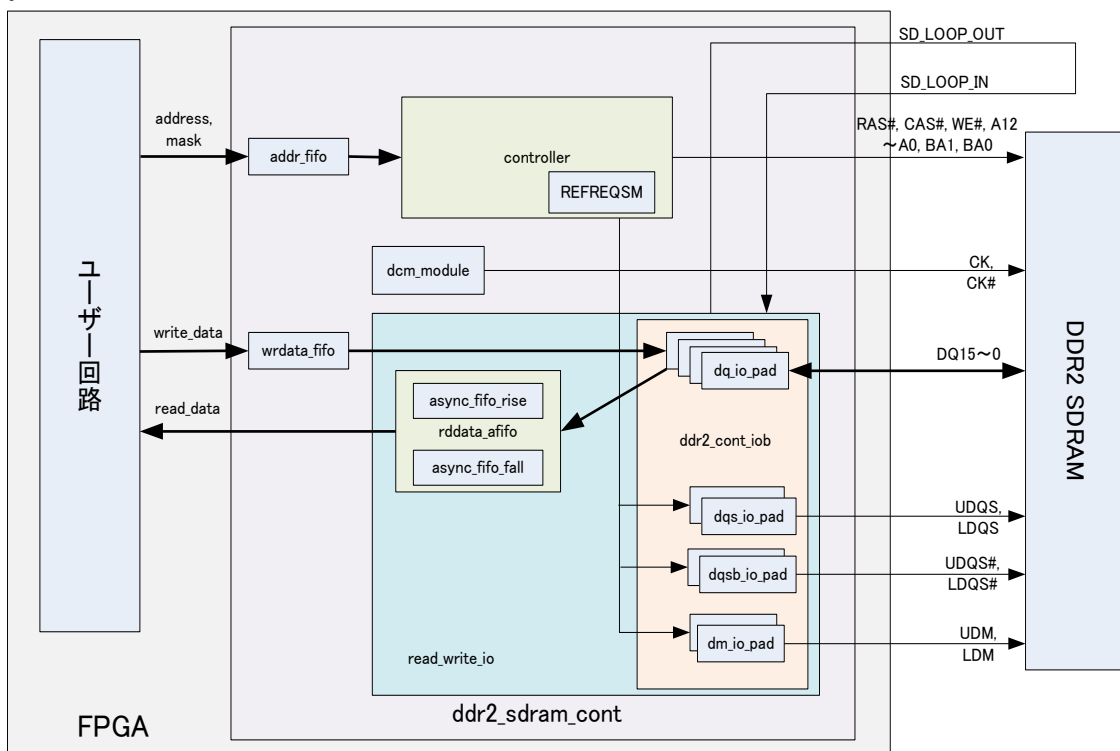


図 1 DDR2 SDRAM コントローラ・ブロック図