

Maestro3 クラスタネットワーク用基板の設計

小野雅晃

筑波大学システム情報工学等支援室（装置開発班）

〒305-8573 茨城県つくば市天王台 1-1-1

概要

クラスタ型コンピュータ向けネットワーク Maestro3 用のプリント基板を設計し製作した。本報告では Maestro3 用プリント基板を設計、作製するための手順について述べる。プリント基板の使用部品の選定、回路図の作成、プリント基板のパターン設計、多層プリント基板の作製方法について詳述し、今回作製した 2 種類のプリント基板の構成を紹介する。

1. はじめに

筑波大学システム情報工学研究科コンピュータサイエンス専攻の和田研究室では、クラスタ型のコンピュータに使用するために、高速、高機能のアドイン・カード及びスイッチから構成される通信システムを開発している。

第 1 期には、200Mbps の IEEE1394 (i-LINK) を使用した第一世代の通信システム Maestro1 を開発した。次に、第 2 期には Maestro2^[1, 2] として第 2 世代の通信システムを開発した。

今回開発した 2 種類の基板は第 3 世代の Maestro システムとして開発されたものである。Maestro2 は FPGA (Field Programmable Gate Array) の回路をすべてスクラッチから作成したため、回路の設計およびシミュレーションの工程を経て動作のテストをするまでにかかり時間がかかってしまった。Maestro3 は Maestro2 のアップバージョンとして基本構成はほとんど同一ではあるが 2 倍の性能を得ることを目標にして設計された。現在は Maestro2 の回路を今回使用した部品に適合するように変更してハードウェアテストを実行している。

Maestro3 の構成の概要を説明する。Maestro3 は、ネットワークインターフェース (NI) とスイッチボックス (SB) の 2 つの基板で構成される。NI はパーソナルコンピュータ (PC) の PCI-X バスに挿入して使用する基板である。NI は、片方向 6.4Gbps の LVDS (Low Voltage Differential Signalling) で SB の 1 つのポートに接続される。SB は最大 7 個の NI と LVDS で接続することができる。SB は NI から送られた通信パケットをルーティングする基板である。2 つの基板はクラスタコンピューティングに使用され、PC で計算したデータなどを他の PC に高速に伝送することが出来る。

今回の報告では Maestro3 用基板を作る際の使用に基づいた部品の選定、回路設計など基板の作製過程を説明し、Maestro3 の構成について報告する。

2. 一般的な基板の作製手順

一般的な基板の作製手順を以下に示す。

(1) 要求仕様を決定する。例えば “ホストのパーソナルコンピュータとのインターフェースに PCI-X の 133MHz を使用し、伝送線路には LVDS の伝送周波数 1GHz を使用する” などの仕様を決定する。

(2) 仕様に合致した使用部品を選定する。インターネットの検索や規格表などを使用して要求仕様にあった部品を選定する。

(3) 選定した部品の部品表を作成する。部品を選定後に、部品を購入可能かどうか調査し購入する。

(4) 部品表の作成と並列して、回路を検討し回路図を描き始める。

(5) 回路図が出来上がったら、プリント基板のパターンを設計する。

(6) パターンを設計しながら、高速信号については伝送線路シミュレーションを行い、波形品質を確認する。

(7) パターン設計終了後に、プリント基板を製造して部品を実装しハンダ付けする。

(8) 基板完成後の検査を行う。

今回はプリント基板のパターン設計、高速信号の伝送線路シミュレーション、プリント基板の製造、プリント基板への部品の実装、ハンダ付けは業者に依頼した。

研究室ではそれ以外の部分を担当した。筆者は部品の選定、部品のテスト、回路の検討を担当した。回路図の作成は青木圭一氏¹、部品表の作成は丸岡大記氏¹が担当した。

第 3 章から第 6 章では一般的な基板の作製手順について説明する。

3. 使用部品の選定

基板の使用部品を決定する際に、見えそうな部品のデータシート、ユーザズマニュアルに一通り目を通して、Maestro3 の仕様に準拠できるかを検討した。今回、目を通したマニュアル、データシート及びアプリケーションノートは 1000 ページ以上であった。次に、仕様を満たした部品が購入可能かどうかを検討する。その結果、部品がどこからも購入できない場合は再度部品の選定をやり直す。その過程を以下に詳しく述べる。

3.1 大学の研究室で基板を作製する場合の部品の選定について

大手メーカーのように購入数が多い場合は部品の入手は比較的簡単と思われるが、大学の研究室では購入数が少ないため、部品の購入が難しい場合がある。部品を販売する代理店が対応してくれない場合も多々ある。特に高性能プロセッサや特定用途 IC、電源用部品などの購入が難しい。汎用の SDRAM

¹ 筑波大学 システム情報工学研究科

(Synchronous Dynamic Random Access Memory) などもモジュールでは購入が容易であるが、チップとなるとなかなか購入が難しい。今回 SDRAM は電源電圧が 2.5V のものを選定したため、最も購入に苦労した部品である。

3.2 部品の選定例

部品の選定、購入の一例として、電源の選定について説明する。電源は Maestro2 の時にはシリーズパスレギュレータを使用していた。シリーズパスレギュレータは回路が簡単で確実に動作するという利点がある。一方、電力の損失が大きく大電流での使用には向かないという欠点がある。Maestro3 では電流量の増加が予想されたためシリーズパスレギュレータではなく、電力損失面で有利なスイッチングレギュレータを選定した。スイッチングレギュレータは、電力効率が良いという利点があるが、部品点数が多く大電流の高周波スイッチングをするため、実装や部品選定が難しいという欠点がある。

例えばシリーズパスレギュレータだと外付け部品はバイパスコンデンサ程度であるが、スイッチングレギュレータではスイッチングレギュレータ IC、MOS FET (Metal Oxide Semiconductor Field Effect Transistor)、コイル、バイパスコンデンサ、抵抗などの付属部品が必要となる。部品点数が増えると言うことは購入を検討する個数が増えるということである。業者への問い合わせでそれらの部品の購入について探してみると、スイッチングレギュレータ IC を購入できたとしても指定されたコイル、MOS FET を購入することは難しかった。検討の結果、Maestro3 では付属部品購入の困難を回避するためや電源の安定動作を図るために、大電流を必要とする電源は、なるべくスイッチングレギュレータ・モジュールを使用することにした。スイッチングレギュレータ・モジュールであれば電源の完成部品として比較的容易に購入することが出来る。更に部品点数も 1 個となるので購入と管理が容易になる。小電流しか必要としない電源は従来通りシリーズパスレギュレータを使用することにした。

次に今回重視した電源の仕様として立ち上がり時間がある。PowerPC プロセッサはコア電圧に+1.3V、IO 電圧に+2.5V の 2 電源を使用している。PowerPC プロセッサのデータシートにはすべての電源を 20msec 以内に立ち上げるという制限がある。この制限を満たすスイッチングレギュレータ・モジュールが必要である。NI の FPGA はコア電圧として+1.5V、IO 電圧として+2.5V、+3V、+3.3V の 4 電源を使用している。SB の FPGA は NI の FPGA から PCI-X または PCI バス用の+3V 電源を除いた 3 電源を使用している。FPGA の電源投入仕様はコア電圧のみ 200 μ sec から 50msec の間に立ち上げ、IO 電圧の立ち上げ仕様は規定されていない。

各デバイス電源仕様を考えながら比較的簡単に手に入る電源の検討を行った。FPGA などの IO 電源の内、+1.5V と +2.5V はエンピリオン社の EN5360^[3] を選定した。この DC-DC スwitchングレギュレータ・モジュールは小型コンパクトで 6A の電流容量を持ち電源電圧を設定端子の設定により簡単に変更することができる。外付け部品は低 ESR (Equivalent Series Resistance) の入出力用バイパスコンデンサとソフト

スタート時間設定用のコンデンサのみ必要となる。EN5360 はソフトスタート時間設定用のコンデンサによって出力電圧の立ち上がり時間を変えることができる。現在は 15nF のコンデンサをつけているので、データシートによると出力電圧の立ち上がり時間は 1msec である。EN5360 は東京エレクトロニクス(株) から購入することができた。

PowerPC プロセッサのコア電圧用電源の仕様は 1.42GHz 動作時に最大消費電力が 30W である。最大消費電流は約 23A を消費する。かなり大電力を消費するので当初は最適なモジュールが見つからなかった。電子部品小売業者の RS コンポーネンツ (株) の Web サイトで検索したところ最大出力電流が 30A の ASTEC 社の ATH30T05-9J^[4] が使用できるということがわかった。出力電圧の立ち上がり時間はグラフより 5msec だった。ATH30T05-9J の外付け部品は、低 ESR の入出力用バイパスコンデンサと電源電圧決定用の抵抗である。

3.3 使用部品のテスト

ATH30T05-9J は今まで使用したことのない大電流の DC-DC スwitchングレギュレータ・モジュールであるため、バラックでテスト回路を作成してテストを行った。図 1 にテスト風景全景、図 2 に ATH30T05-9J の拡大図を示す。

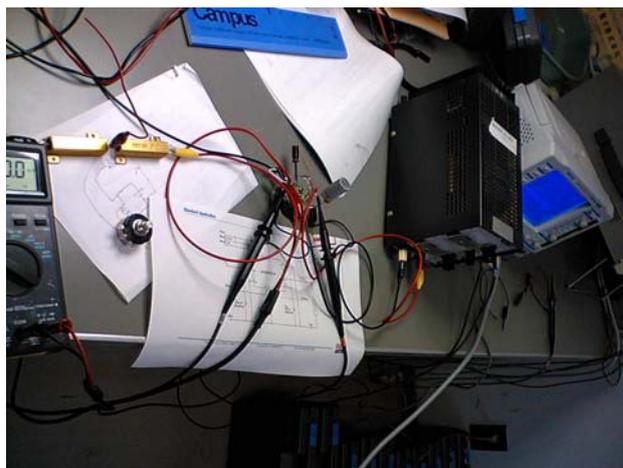


図 1. DC-DC スwitchングレギュレータ・モジュール (ATH30T05-9J) のテストの全景



図 2. DC-DC スwitchングレギュレータ・モジュール (ATH30T05-9J) の拡大図

図2で確認できる様に GND (GrouND) を電線で接続し、Track や Vo Sense などの信号線はテストのため IC クリップで接続した。

試験は主に入力電圧の立ち上がり後の出力電圧の立ち上がりをデジタルオシロスコープで測定した。

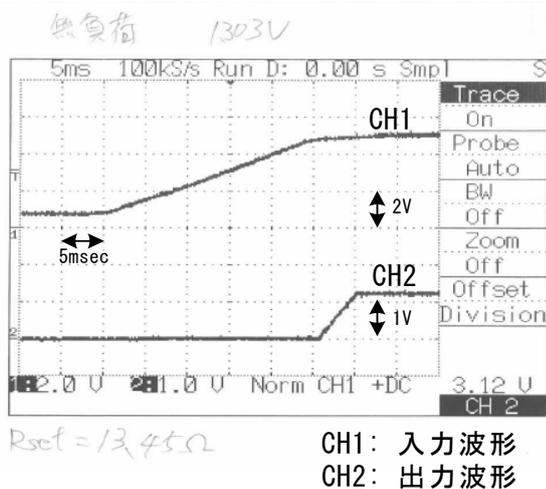


図3. ATH30T05-9J の入出力応答波形

図3にATH30T05-9Jの無負荷時の入出力応答波形のオシロスコープによる測定結果を示す。上のCH1が入力電圧(+5V)、下のCH2が出力電圧(+1.3V)である。図の横軸の1目盛は5msec、縦軸の1目盛はCH1が2V、CH2が1Vである。図3に示したように、出力電圧の立ち上がり時間は約5msecだった。デジタルマルチメータによる出力電圧値はVout出力端子を測定して1.303Vだった。その後負荷を10Ω、0.15Ω、0.1Ωと変化させてテストしたが、いずれの場合も入力電圧が安定してから出力電圧が立ち上がった。出力電圧の立ち上がり時間はいずれの負荷の場合も約5msecで変化がなかった。

4. 回路図の作成

使用する部品が決定したら、回路図CADで回路図を作成する。回路図CADには、サイバネットシステム社のOrCAD Captureを使用した。回路図作成の過程は回路図シンボルを作成することから始まる。回路図シンボルの作成は単調で手間のかかる仕事である。FPGAは数百ピンから千数百ピン程度の入出力ピンを持ち、しかもピンの定義が変更されることがあるため、シンボルの作成および更新が大変である。この手間を省くため、FPGA ツール Xilinx ISE の PAD 出力ファイルから OrCAD へインポートする機能を使用して、シンボルを作成することとした。これでFPGAのピンの定義を大きく変更しても、シンボルフایلを作り直すことができる。これで作成したシンボルは、必ずしも人間が見て見やすいものではないため、かなり修正を加えなければならない。しかし、初めから作り直すのに比べればよほどましである。

回路図シンボルの作成も部品購入の可否の影響を受ける。使用が決定していた部品が購入できないな

どの理由で再選定になるとシンボルも作り直しとなる。

その後、回路図シンボル間でピン間を線で接続していく。接続するためにはデータシート、ユーザーズマニュアルを読み、ICを熟知しなければならない。配線間違いをなくすために、回路図とは別に回路図チェック用にPowerPCプロセッサ周りなどの機能を書き出した配線表を作成した。さらにOrCADのDRC(Design Rule Check)機能を使用して配線間違いを検出した。何千本もの配線の中で1本間違っても基板が動作せずに作り直しになる可能性がある。そのため緊張感を持って複数回の確認をしながら回路図を作成していった。

5. 基板のプリントパターン設計

基板のプリントパターンは基板設計用CADで業者が設計した。大まかな手順を説明する。

研究室で使用している回路図CADのOrCAD Captureからネットリストを出力する。そのネットリストを基板設計用CADにインポートすると配線が確定する。基板設計用に部品寸法、ピンの物理的配置の情報が反映されている基板設計用CADの部品シンボルを作成する。いろいろな部品の配置を考慮しながら部品シンボルを置いて行く。配置した状態で伝送線路シミュレーションを行い、波形を確認して配置を変更する。配置が決定したら部品シンボルのピン間をプリントパターンで配線する。その過程で配線が難しい場合は部品シンボルの配置を変更する。それも難しければ回路図に戻って配線を入れ替える。配線がおおむね終了したら、高周波信号を伝送するパターンは伝送線路シミュレーションを行う。その結果が悪ければダンピング抵抗の追加や配線の経路を変更するなどの対策をとる。最後にパターンのチェック、回路図CADのネットリストと基板設計用CADのネットリストが合っているかどうかチェックする。

次に特に設計の際に考慮した点について詳しく述べる。

5.1 配線の入れ替え

ダンピング抵抗として集合抵抗を使用する時は、配線を楽にまわせるようにピンを入れ替える場合がある。その場合はプリント基板の配線を担当する業者から配線変更の依頼が来るので、回路図を書き換えて変更したネットリストを送り、基板設計用CADに反映させる。

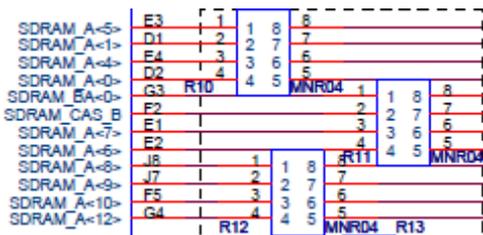


図4. SBの回路図の一部

図4はSBの回路図の一部である。図4の右側はFPGAのSDRAMアドレス(SDRAM_A)の出力ピンを表している。R10~R13のMNR04はダンピング抵抗

抗（集合抵抗）である。当初は SDRAM のアドレスピン(SDRAM_A<?>)は番号順に並んでいたが、基板のパターンを設計する上で、R10 などのダンピング抵抗を入れ替えるとパターン配線がしやすいとの指摘を業者から受けて変更した。具体的には FPGA の回路図シンボルを変更して、図 4 のように SDRAM_A<5>, SDRAM_A<1>, SDRAM<4>... というように不規則な配置に変更した。回路図を修正した場合、回路図 CAD で変更されたネットリストを出力して業者に送り、もう一度基板設計用 CAD にインポートした。

5.2 伝送線路シミュレーション

BGA (Ball Grid Array) は最近の高速伝送基板の IC のパッケージとして定着している。BGA は入出力ピンが外から見えないパッケージであるためオシロスコプのプローブを当てて波形を観測することができない。インピーダンス制御可能なマイクロストリップラインやストリップラインは、一般的な高速信号を送る基板にプリント基板の配線として使用されている。それらを使用すると伝送線路シミュレーションによって設計段階で波形を予測できるので、より良い波形に整形することができる。波形を整形する方法としては、ダンピング抵抗などによってインピーダンスを合わせる方法やプリント配線の取り回しの変更などの方法がある。Maestro3 では主にダンピング抵抗の値や FPGA の出力電流値などを変更してインピーダンスマッチングを図った。

図 5～図 7 は PowerPC プロセッサのアドレス 29 ビットを FPGA がドライブしたときの伝送線路シミュレーション波形である。FPGA の IOB の設定は入出力信号レベルが LVCMOS25、出力電流値が 8mA である。青色の線が FPGA の出力ピンでの出力波形、赤色の線が PowerPC のアドレスピンでの入力波形を表す。図 5 は FPGA の出力ピンに 22Ω のダンピング抵抗を入れたときの波形、図 6 はダンピング抵抗を 33Ω とした時の波形、図 7 はダンピング抵抗を 47Ω としたときの波形である。波形の立ち下がり部分を比べてみると、ダンピング抵抗を 47Ω とした時の波形が入力電圧の低い方のスレッシュホールド (Vinl) 付近で乱れているのがわかる。次に、データシート^[5]に PowerPC プロセッサの入力電圧の Absolute Maximum Rating は -0.3V to OVdd + 0.3V と記されている。ここで OVdd は 2.5V なので、入力電圧の絶対最大定格は -0.3V～2.8V となる。ダンピング抵抗を 22Ω とした時の最大電圧に注目すると約 2.8V なので入力電圧の絶対最大定格とほぼ同一である。この伝送線路シミュレーションの結果から、PowerPC プロセッサのアドレスバスのダンピング抵抗値は図 6 の 33Ω に決定した。

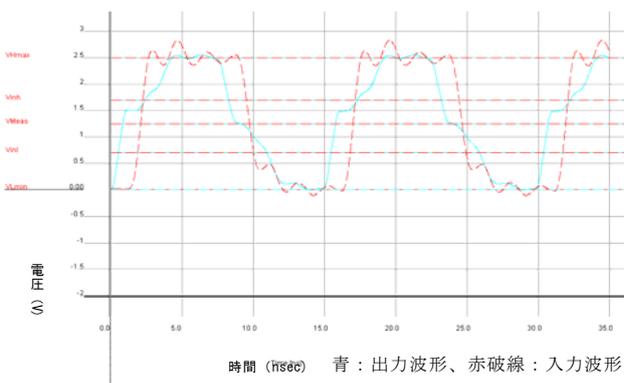


図 5. アドレス 29 ビットを FPGA がドライブしたときの伝送線路シミュレーション波形（ダンピング抵抗=22Ω）

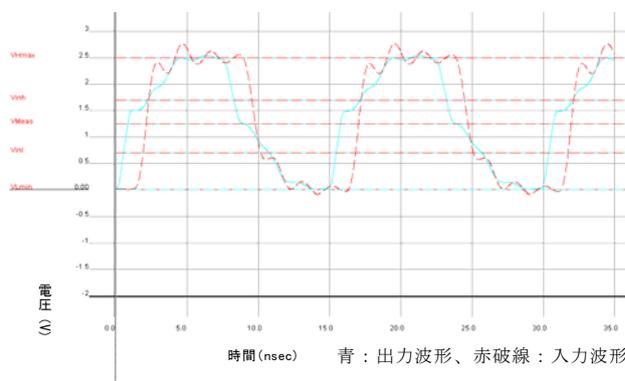


図 6. アドレス 29 ビットを FPGA がドライブしたときの伝送線路シミュレーション波形（ダンピング抵抗=33Ω）

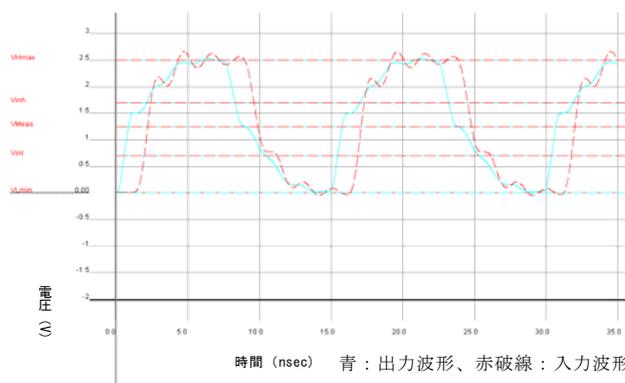


図 7. アドレス 29 ビットを FPGA がドライブしたときの伝送線路シミュレーション波形（ダンピング抵抗=47Ω）

5.3 電源周りの設計の注意点

最近 FPGA やプロセッサなどの IC のコアは大電流を必要とすることが多くなってきた。大電流を流すためには抵抗値の少ない電源、GND 配線が必要とされる。更にバイパスコンデンサについての考慮も必要とされる。負荷から離れた位置にある電源では、パターンのインダクタンス成分や抵抗成分などの影響により、高周波信号をスイッチングするための高

速な電流を流すことが出来ない。そのため電源を使用する IC の近傍に高速なバイパスコンデンサを配置して、バイパスコンデンサから高速な電流を供給する。これは IC の内部ロジックを駆動するコア電源だけではなく、周辺 IC との信号のやり取りのための電源である IO 電源にも当てはまる。IO 電源に最適なバイパスコンデンサを最適な位置に実装しないと、周辺 IC との信号のやり取り時にデータ誤りが生じるようになる。これは以前にわれわれが Maestro2 の基板の作製で経験したことである。Maestro3 の基板では、FPGA や PowerPC プロセッサの BGA パッケージの裏面へ表面実装パッケージの小さな積層セラミックコンデンサと、BGA パッケージの裏面の近傍にタンタルコンデンサを配置した。これらのコンデンサの配置を図 8 に示す。

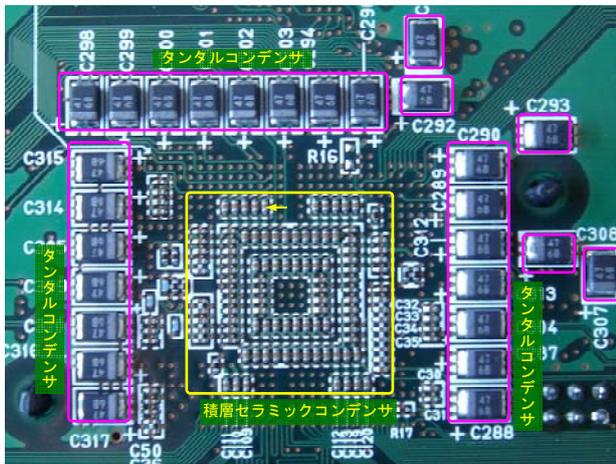


図 8. バイパスコンデンサの実装状況

図 8 において写真の中心部の黄色の四角で囲んだ場所に積層セラミックコンデンサが実装されている。四角の中の黄色の矢印で示された小さい長方形がそのうちの 1 個である。タンタルコンデンサはピンクの四角で示されている。積層セラミックコンデンサの基板の裏側に FPGA が搭載されている。積層セラミックコンデンサを FPGA の裏側に実装するのは FPGA の電源、GND からの距離を最短とするためである。

5.4 グ라운드・バウンズに関する考慮

一般的に多数の IC の出力ピンが高速で同時に変化すると、GND が変動するグラウンド・バウンズが起り出力ピンまたは内部ロジックで不正な過渡現象が発生することがある。これを同時スイッチ出力 (SSO) ノイズと言う。Xilinx 社の FPGA が SSO ノイズを起こさない制限値は、パッケージや出力電流値、インターフェース標準、スルーレート値などによって異なる。例えば IO 電源と GND 1 ペアにおける同時切り替え可能な出力の最大数は LVCMOS25_4_slow (LVCMOS レベル、出力電流 4mA、スルーレート SLOW) では 41 だが、LVCMOS25_24_fast (LVCMOS レベル、出力電流 24mA、スルーレート FAST) では 5 である。これら

の SSO 制限を考慮して IO バンクに対するピンを FPGA に割り振った。

6. 多層プリント基板の作製方法

6.1 多層プリント基板の製造

Maestro3 用プリント基板の製造方法を示す。4 枚の両面基板 (コア基板) にプリントパターンを形成し (2 層目~9 層目) プリントパターン以外をエッチングで除去する。エッチングとは、銅箔が一面に張っている基板においてプリントパターン以外の部分を薬品で溶かす作業を言う。基板の表裏の銅箔と先ほどエッチングした 4 枚のコア基板をプリプレグで接着し重ね合わせる。ドリルで穴を開け、スルーホール形成のためにめっき処理を施す。表に 1 層目、裏に 10 層目のプリントパターンを形成してエッチングしプリントパターン以外を除去する。次にハンダ付けするパッドやアキシアル部品を挿入するスルーホール以外の部分を保護するために、ソルダレジストを塗布する。これは一般的には緑色の塗料であり、パーソナルコンピュータのマザーボードを見た時に緑色に見えるのがソルダレジストである。次にシルクを印刷する。シルクは通常白色で、IC や抵抗、コンデンサなどのリファレンス番号やピン番号、設定ピンの設定値などを表示する。

パターンの導通チェックを行う。基板の銅箔部分を保護するためにプリフラックスを塗布する。PCI バスの基板などはコネクタ端子を金メッキする。最後に予定寸法に基板を切り抜いて終了となる。

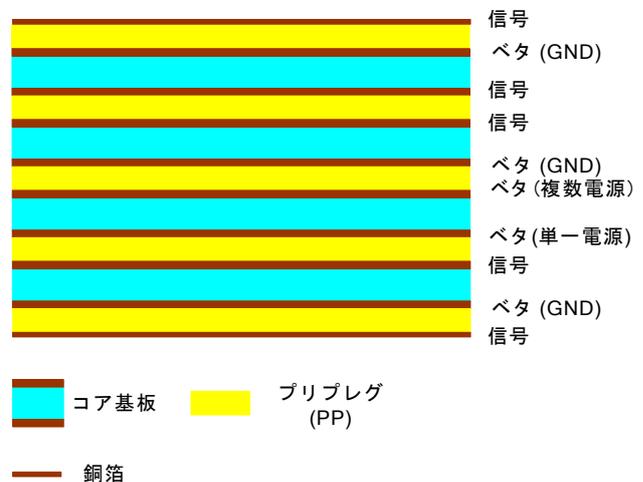


図 9. Maestro3 用多層プリント基板の層構成

図 9 に Maestro3 基板の層構成を示す。Maestro3 基板は 10 層から構成されていて、インピーダンスを整合させるために基本的には信号層の両隣に GND などの基準層を持っている。

6.2 プリント基板への部品の実装

プリント基板への部品の実装方法について述べる。初めにクリームハンダを塗布するためにメタルマスクを作る。メタルマスクは部品を半田付けするパッドのところだけ穴が開いた金属の薄い板である。こ

の板を基板上においてクリームハンダを塗布すると、必要な部分だけにクリームハンダを塗布できる。部品をマウンタまたは手で基板に置いて、大きなオーブンのような炉（リフロー炉）に入れ加熱する。クリームハンダが溶けて部品がハンダ付けされる。この工程を裏面、表面と行う。ここでマウンタとは複数の部品を実装する機械を指す。次に DIP 部品のハンダ付けを行う。

最近大きな IC などは、BGA という IC の下にハンダボールがあるパッケージがよく使われている。BGA は加熱されると BGA 裏のハンダボールと塗布されたクリームハンダが溶けて表面張力が発生し、その力で実装位置が自動補正される。

6.3 高周波信号伝送プリント基板設計上の注意点

通常の両面プリント基板ではインピーダンスは考慮されていないが、動作周波数が約 50MHz を超えるとプリントパターンも伝送線路としての考慮が必要となる。高速な信号を送送するプリントパターンはパターンの隣の層に基準面（GND などのベタパターン）を配置し、インピーダンスを制御可能な伝送線路として設計される。それは多層プリント基板の表面ではマイクロストリップライン、内層ではストリップラインと呼ばれている。マイクロストリップライン、ストリップラインともに基板の誘電率、パターンの厚さ、パターン幅によってインピーダンスが変化する。NI 基板、SB 基板は前述したパラメータを調整してインピーダンスが 50Ω になるように調整されている。良好な波形を送受信するためには、信号の送受信を行う各デバイスの入力、出力インピーダンスをなるべく 50Ω にあわせることが肝心である。

7. NI の構成

図 10 に NI のブロック図、図 11 に NI の写真を示す。NI は PowerPC プロセッサを搭載したインテリジェントな PCI-X カードである。

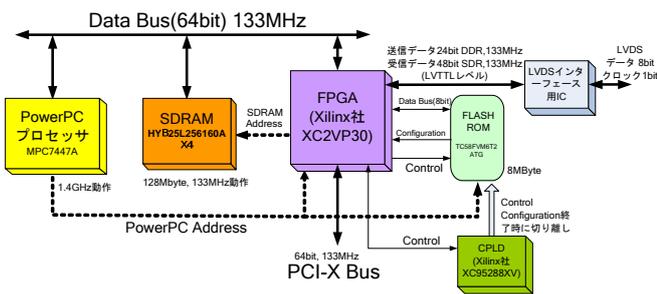


図 10. Maestro3 ネットワークインターフェース (NI) のブロック図

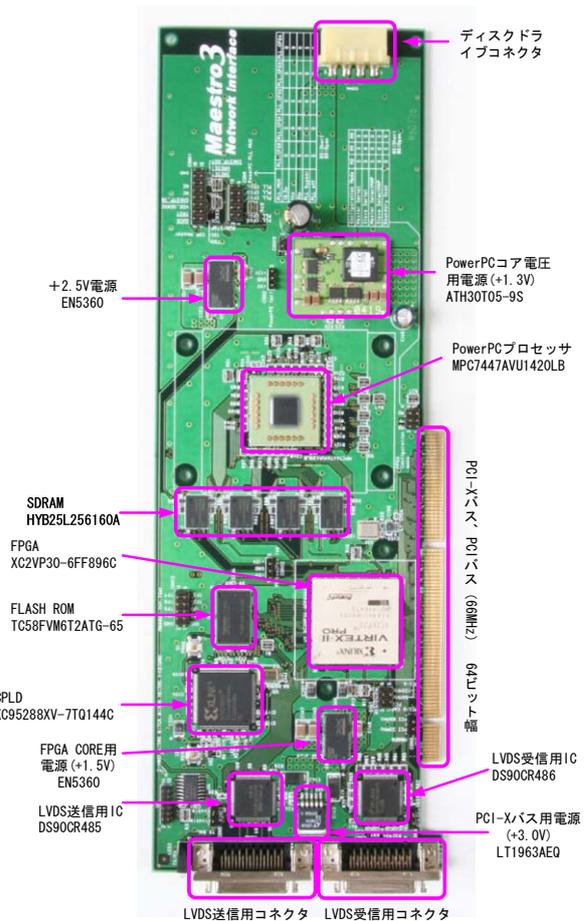


図 11. Maestro3 NI 基板写真

NIには CPLD (Complex Programmable Logic Device)、FPGA、PowerPC プロセッサ、8MByte の FLASH ROM (Flash Read Only Memory)、128MByte の SDRAM、最大 6.4Gbps の LVDS インターフェース用の送信 IC 及び受信 IC が搭載されている。

FPGA は電源が ON になった時に内部回路が空のままなのでコンフィギュレーションが必要である。CPLD が電源 ON 時の FPGA のコンフィギュレーションを制御する。コンフィギュレーションの方式はスレーブセレクトマップである。この方式はコンフィギュレーション・データを FLASH ROM から 8 ビットずつ FPGA に転送できるため、迅速に FPGA をコンフィギュレーションすることが出来る。FPGA のコンフィギュレーションはその他、JTAG 端子経由でパーソナルコンピュータ上のツールからも行うことができる。デバック時は JTAG 端子経由でコンフィギュレーションを行っている。

FPGAにはPCI-XまたはPCIバス⁶⁾のコントローラ、PowerPCコントローラ、FLASH ROMコントローラLVDSインターフェース回路、DMA 2チャンネル、SDRAMコントローラなどの制御、データバスといった主要な回路が搭載されている。

PowerPC プロセッサは最大動作周波数 1.4GHz 動作の Freescale 社製 MPC7447A である。このプロセッサは以前アップル社製のマックミニに使用されていた。PowerPC プロセッサから SDRAM や PCI バスへアクセスすることができる。PowerPC プロセッサの最大消費電力は 30W と大きいため PCI-X バスのカードエ

ッジから供給することができなかった。その電源は図 11 に示す NI 基板上部にあるディスクドライブコネクタから供給される。

SDRAM は 2.5V 動作可能な Infineon 社製の 256MByte 品の HYB25L256160A を 4 個使用している。PowerPC プロセッサのバス電圧は 2.5V なので電源電圧が同一の SDRAM を選定したが、入手が難しく最後まで入手に苦労した部品である。

LVDS インターフェース用送信 IC はナショナル・セミコンダクター社の DS90CR485 である。Maestro2 では LVDS 送信 IC と FPGA 間のインターフェース幅 48 ビットの内 32 ビットのみを使用して 100MHz の動作周波数で動作させていた (3.2Gbps)。今回の Maestro3 では 48 ビット幅をフルに使用して 133MHz で動作させる予定である。従って NI の最大スループットは片方向 6.4Gbps になる。

Maestro3 ハードウェアの特徴は PowerPC プロセッサ、SDRAM と FPGA のデータがバス接続されていることである (図 10 参照)。SDRAM のデータ出力は FPGA を介さずに直接 PowerPC プロセッサに伝わるためレイテンシを短縮することができる。また 1 組のデータ用ピンを FPGA に用意すれば良いので FPGA のピンを節約することができる。欠点としては 2 つある。1 つは共通バスであるため FPGA が SDRAM に転送している場合に PowerPC プロセッサがバスを使えないことである。もう 1 つは 133MHz で高速動作する信号線が 1 対 1 ではなくバス接続であるため信号波形が乱れやすいことである。事実、データバスは伝送線路シミュレーション時に一番波形整形に苦労した。

8. SB の構成

図 12 に SB の写真、図 13 に SB のブロック図を示す。

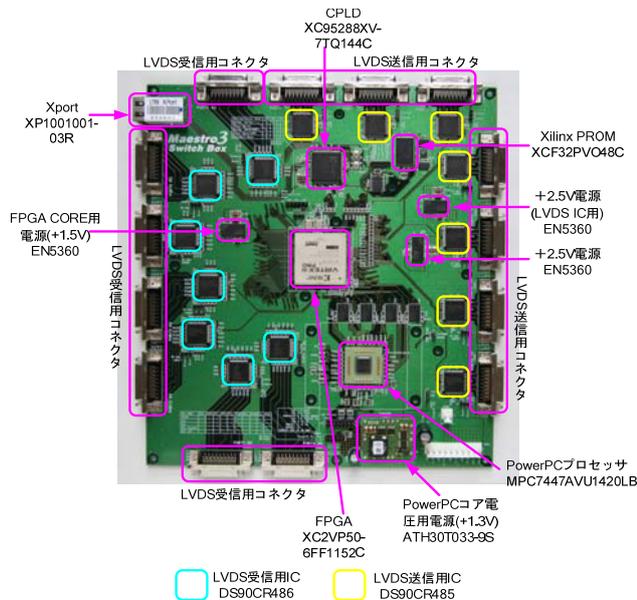


図 12. Maestro3 SB 基板写真

SB は PowerPC プロセッサ、7 組の最大 6.4Gbps の LVDS インターフェース用の送信 IC 及び受信 IC、

128MByte の SDRAM、CPLD、FPGA、Xilinx PROM、Xport を主に搭載している。

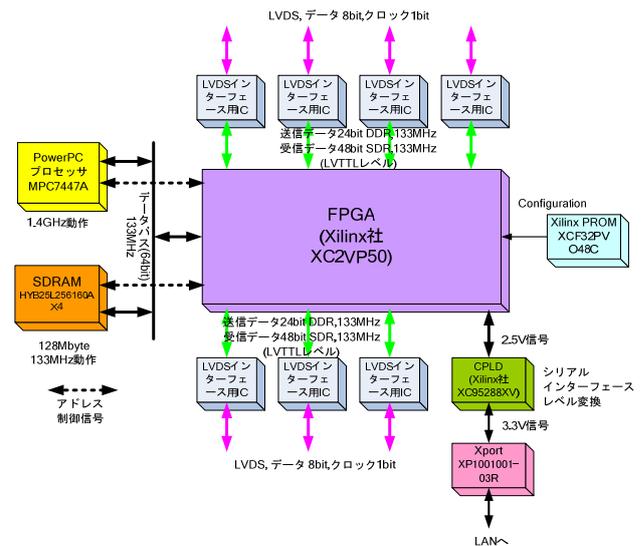


図 13. Maestro3 スイッチボックス (SB) ブロック図

SB も NI と同様に PowerPC プロセッサ、SDRAM と FPGA のデータがバス接続されていて同様の特徴がある。SB は図 12 に示すように LVDS インターフェース用 IC が 7 個搭載されていて、それぞれの LVDS インターフェースが NI と接続される。つまり 1 つの SB に 7 つの NI を接続することができる。SB はイーサネットと言うとスイッチングハブに相当する。以下に NI と構成が違っている点を述べる。

Xilinx PROM はコンフィギュレーション専用 IC で、電源 ON 時の FPGA のコンフィギュレーションを行う。

Xport は TCP/IP プロトコルが実装されている便利なモジュールである。Xport を使うと TCP/IP プロトコルを調歩同期のシリアルインターフェースに変換することができるので SB を手軽に LAN に接続することができる。

電源 ON 時に SB がブートする時は、PowerPC プロセッサが起動する。PowerPC プロセッサは FPGA の内部 RAM にあらかじめロードされているダウンロードソフトウェアを実行する。ダウンロードソフトウェアは Xport からファームウェアが転送されるのを待っている。ファームウェアの転送が終了したら PowerPC プロセッサはファームウェアを実行して様々な処理を開始する。

9. まとめ

本報告では Maestro3 の基板の設計と作成手順について述べた後、Maestro3 基板の構成について述べた。

Maestro3 は現在 Maestro2 を変更した回路を FPGA に搭載してデバック中である。現在、NI 基板の PCI バスは PCI-X バスでなく PCI66MHz, 64bit でテストしている。NI, SB 共にバススピードは予定した 133MHz の半分のスピード 66MHz で動作させている。現在のデバックを早期に終了し設計仕様の性能を実現することを目指したい。

10. 謝辞

Maestro2 システムの開発に参加の機会を与えて頂いた、筑波大学システム情報工学研究科コンピュータサイエンス専攻の和田耕一教授に深く感謝いたします。また、共同制作者であるシステム情報工学研究科の青木圭一氏、及び Maestro3 に関する様々な作業をしていただいた丸岡大記氏に深謝いたします。PowerPC プロセッサや JTAG ICE、C コンパイラなどを提供していただいたフリースケール・セミコンダクタ・ジャパン株式会社の関係者の方々に感謝いたします。プリント基板の設計と製作、部品実装をお願いした A&D プリントエンジニアリング株式会社の担当者の方々に感謝いたします。

参考文献

- [1] 小野雅晃, Maestro2 スイッチボックスの開発, 筑波大学技術報告 26 (2006) 42-47.
- [2] 小野雅晃, Maestro2 ネットワークインターフェースの開発, 筑波大学技術報告 25 (2005) 42-49.
- [3] EN5360 データシート, Empirion Inc., Rev 1.0, 2005.
- [4] ATH30T05 Series データシート, ASTEC, REVISION 00(30APR2004).
- [5] MPC7447A RISC Microprocessor Hardware Specifications, Freescale Semiconductor, Rev. 4, 2005.
- [6] 小野雅晃, Xilinx 社製 FPGA を搭載した PCI ボードのシミュレーション, 平成 15 年度高エネルギー加速器研究機構技術研究会報告集 (2004) P-23.